



(19)

(11) Publication number: **10125620 A**

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: **08275127**(51) Intl. Cl.: **H01L 21/28 H01L 29/16 H01L 29/78**(22) Application date: **17.10.96**

(30) Priority: ,

(43) Date of application
publication: **15.05.98**(84) Designated
contracting states:(71) Applicant: **DENSO CORP**(72) Inventor: **KATAOKA MITSUHIRO
SUZUKI TAKAMASA**

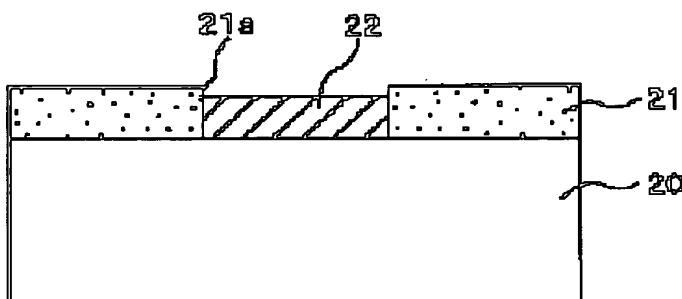
(74) Representative:

**(54) SILICON CARBIDE
SEMICONDUCTOR DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent peeling of an electrode, when an ohmic electrode using Ni is formed through a contact hole formed in an insulating film on a silicon carbide(SiC).

SOLUTION: An insulating film 21 consisting of SiO₂ is formed on a SiC substrate 20 on which a semiconductor element has been formed. A contact hole 21a is formed in the insulating film 21, and a Ni electrode 22, ohmic electrode contacting a semiconductor element formed on the SiC substrate 20, is formed in the contact hole 21a. This structure of the Ni electrode 22 are formed only in the contact hole 21a and not on the insulating film 21 makes it possible to prevent the Ni electrode 22 from peeling.



COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-125620

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L 21/28	3 0 1	H 0 1 L 21/28	3 0 1 R
			3 0 1 F
29/16		29/16	
29/78		29/78	6 5 2 T
			6 5 2 M
審査請求 未請求 請求項の数 3 O L (全 5 頁) 最終頁に続く			

(21) 出願番号 特願平8-275127

(22) 出願日 平成8年(1996)10月17日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 片岡 光浩

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 鈴木 孝昌

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

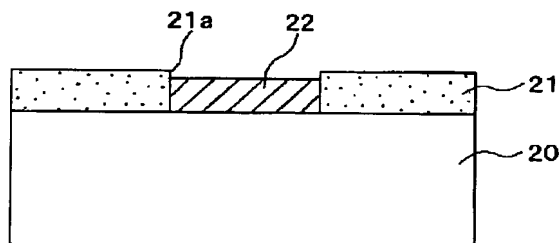
(74) 代理人 弁理士 伊藤 洋二

(54) 【発明の名称】 炭化珪素半導体装置

(57) 【要約】

【課題】 炭化珪素 (S i C) 基板上の絶縁膜に形成されたコンタクトホールを介してN iを用いたオーミック電極を形成する場合の電極はがれを防止する。

【解決手段】 半導体素子が形成されたS i C基板20上に、S i O₂ からなる絶縁膜21が形成されている。この絶縁膜21にはコンタクトホール21aが形成されており、このコンタクトホール21a内に、S i C基板20に形成された半導体素子とオーミックコンタクトするオーミック電極としてのN i電極22が形成されている。この場合、N i電極22は、コンタクトホール21a内だけに形成され、絶縁膜21上には形成されていないので、N i電極22のはがれを防止することができる。



20 : S i C基板
21 : 絶縁膜
22 : N i電極

【特許請求の範囲】

【請求項1】 半導体素子が形成された炭化珪素基板（20）と、

前記炭化珪素基板上に形成されコンタクトホール（21a）を有する絶縁膜（21）と、

前記コンタクトホールを介して前記半導体素子とオーミックコンタクトするオーミック電極とを備え、

前記オーミック電極はNi電極（22）であって、このNi電極は前記コンタクトホール内に形成され前記絶縁膜上に繋がって形成されていないことを特徴とする炭化珪素半導体装置。 10

【請求項2】 半導体素子が形成された炭化珪素基板（20）と、

前記炭化珪素基板上に形成されコンタクトホール（21a）を有する絶縁膜（21）と、

前記コンタクトホールを介して前記半導体素子とオーミックコンタクトするオーミック電極とを備え、

前記オーミック電極は、前記コンタクトホール内に形成され前記絶縁膜上に形成されていない第1のNi膜（23）と、この第1のNi電極と前記絶縁膜上に形成されたバリアメタル（24）と、このバリアメタル上に形成された第2のNi膜（25）から構成されていることを特徴とする炭化珪素半導体装置。 20

【請求項3】 半導体素子が形成された炭化珪素基板（20）と、

前記炭化珪素基板上に形成されコンタクトホール（21a）を有する絶縁膜（21）と、

前記コンタクトホールを介して前記半導体素子とオーミックコンタクトするオーミック電極とを備え、

前記オーミック電極は、前記コンタクトホール内および前記絶縁膜上に繋がって形成されたNi電極（26）であって、前記絶縁膜上の前記Ni電極と前記絶縁膜との間に、前記絶縁膜および前記Ni電極と密着する金属膜（27）が介在されていることを特徴とする炭化珪素半導体装置。 30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、炭化珪素半導体装置に関し、例えば、大電力用の縦型MOSFETとして用いることができるものである。 40

【0002】

【従来の技術】従来、炭化珪素（以下、SiCという）を用いた縦型MOSFETとして、低オン抵抗、高耐圧等の優れた特性を有するトレンチゲート型SiCパワーMOSFETが提案されている（特開平7-326755号公報、特開平8-70124号公報）。このものの構成について、図8の断面図に従って概略説明する。

【0003】六方晶系SiC（0001-）カーボン面を表面とした低抵抗層としてのn⁺型単結晶SiC基板1上に、高抵抗層としてのn⁻型エピタキシャル層2と 50

半導体層としてのp型エピタキシャル層3が順次積層されている。p型エピタキシャル層3の表面4の所定領域には、半導体領域としてのn⁺ソース領域5が形成されている。また、p型エピタキシャル層3の表面4の所定位置にトレンチ（溝）6が形成されている。このトレンチ6は、n⁺ソース領域5とp型エピタキシャル層3を貫通してn⁻型エピタキシャル層2内に達し、p型エピタキシャル層3の表面に垂直な側面6aおよびp型エピタキシャル層3の表面に平行な底面6bを有している。

【0004】トレンチ6の内部には、ゲート熱酸化膜7を介してゲート電極層8が配置されている。ゲート熱酸化膜7は、トレンチ6の側面6aに形成される薄いゲート熱酸化膜7aと、トレンチ6の底面6bおよびn⁺ソース領域5上に形成される厚いゲート熱酸化膜7b、7cからなる。また、ゲート電極層8は、リングドープされた第1のポリシリコン層8aと第2のポリシリコン層8bからなる。

【0005】ゲート電極層8上には、層間絶縁膜9が配置されている。この層間絶縁膜9上を含めたn⁺ソース領域5の表面およびp型エピタキシャル層3の表面には、ソース電極層10が配置され、このソース電極層10はn⁺ソース領域5とp型エピタキシャル層3に共に接している。また、SiC基板1の裏面には、SiC基板1に接するドレイン電極層11が設けられている。

【0006】そして、上記した構成において、トレンチ6の側面6aでのp型エピタキシャル層3の表面がチャネルとなっており、ゲート電極8に正電圧が印加されてチャネルが形成されると、ソース・ドレイン間に電流が流れる。

【0007】

【発明が解決しようとする課題】上記したトレンチゲート型SiCパワーMOSFETにおいて、ゲート熱酸化膜7と層間絶縁膜9にはコンタクトホールが形成されており、このコンタクトホールを介して、ソース電極層10がn⁺ソース領域5とp型エピタキシャル層3とオーミックコンタクトしている。

【0008】ここで、n⁺ソース領域5とp型エピタキシャル層3は、SiCで構成されているため、このSiCとオーミックコンタクトをとるためのソース電極層10をNiにて形成することが考えられる。例えば、特開平2-164028号公報には、SiC基板上にNi膜を形成してオーミック電極を構成するものが開示されている。

【0009】しかしながら、ゲート熱酸化膜7と層間絶縁膜9に形成されたコンタクトホールを介してソース電極層10を形成する場合、層間絶縁膜9がSiO₂でその上にNi膜にてソース電極層10を形成すると、NiがSiO₂と密着強度が弱いので、SiO₂上のNi膜がはがれ、その結果、SiC上のNi膜もはがれるという問題があることが判明した。

【0010】本発明は上記問題に鑑みたもので、SiC基板上の絶縁膜に形成されたコンタクトホールを介してNiを用いたオーミック電極を形成する場合の電極はがれを防止することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明においては、絶縁膜に形成されたコンタクトホールを介して半導体素子とオーミックコンタクトをとるオーミック電極において、このオーミック電極はNi電極であって、このNi電極をコンタクトホール内に形成して絶縁膜上に繋がって形成しないようにしたことを特徴としている。

【0012】従って、絶縁膜上にNi電極が繋がって形成されていないため、Ni電極のはがれを防止することができる。請求項2に記載の発明においては、オーミック電極を、コンタクトホール内に形成され絶縁膜上に形成されていない第1のNi膜と、この第1のNi電極と絶縁膜上に形成されたバリアメタルと、このバリアメタル上に形成された第2のNi膜から構成したことを特徴としている。

【0013】従って、絶縁膜上に第1のNi膜が形成されていないため、電極はがれを防止することができる。また、第1のNi膜をSiC基板上に形成することによりNiシリサイドが形成され、この状態では銀ろう付けによる実装を行うことができないが、第1のNi膜上にバリアメタルと第2のNi膜を形成することにより、この第2のNi膜を用いて銀ろう付けによる実装を行うことができる。

【0014】請求項3に記載の発明においては、絶縁膜上のNi電極と絶縁膜との間に、絶縁膜およびNi電極と密着する金属膜を介在させたことを特徴としている。このように金属膜を絶縁膜とNi電極の間に介在させることにより、Ni電極が絶縁膜上からはがれるのを防止できるため、Ni電極のはがれを防止することができる。

【0015】なお、上記した絶縁膜としては、後述する実施形態に示すように、SiO₂、あるいはSi₃N₄の絶縁膜とすることができ、また、上記した金属膜としては、Cr、Mo、Ti、Wのいずれか1つを含むものとすることができる。

【0016】

【発明の実施の形態】

（第1実施形態）図1に、本発明の第1実施形態にかかる半導体装置の概念構成を示す。半導体素子が形成されたSiC基板20上に、絶縁膜（例えば、SiO₂）21が形成されている。この絶縁膜21にはコンタクトホール21aが形成されており、このコンタクトホール21a内に、SiC基板20に形成された半導体素子とオーミックコンタクトするオーミック電極としてのNi電極22が形成されている。この場合、Ni電極22は、

コンタクトホール21a内にはのみ形成され、絶縁膜21上には形成されていない。

【0017】このような構成にすれば、絶縁膜21上にNi電極22が形成されていないため、Ni電極22のはがれを防止することができる。上記した半導体装置は、以下のようにして製造することができる。半導体素子が形成されたSiC基板20上に絶縁膜21としてSiO₂を形成し、この絶縁膜21にコンタクトホール21aを形成した後、全面にNi膜を形成する。その後、コンタクトホール21aが形成されている部分をマスクし、絶縁膜21上のNi膜をエッチングにより除去する。そして、コンタクトホール21a内に残されたNi膜を、SiC基板20に形成された半導体素子とオーミックコンタクトされたNi電極22とする。

【0018】図2に、上記した構成を図8に示すトレンチゲート型SiCパワーMOSFETに適用した場合の断面構成を示す。このものの製造方法の概要について説明する。特開平7-326755号公報、あるいは特開平8-70124号公報に開示されているように、まず表面の面方位が(0001-)カーボン面である低抵抗のn⁺型単結晶SiC基板1を用意し、そのSiC基板1の表面に、n⁻型エピタキシャル層2とp型エピタキシャル層3を順次積層する。続いて、p型エピタキシャル層3の所定領域にn⁺ソース領域5を形成し、この後、n⁺ソース領域5とp型エピタキシャル層3を貫通してn⁻型エピタキシャル層2内に達するトレンチ6を形成する。そして、熱酸化法によりゲート熱酸化膜7を形成し、第1及び第2ポリシリコン層8a、8bによりトレンチ6内を順次埋め戻して、図3に示す構造を得る。

【0019】この後、全面にLPCVD法により層間絶縁層(SiO₂)9を形成し、ソースコンタクト予定位置のn⁺ソース領域5とp型エピタキシャル層3の表面上にあるゲート熱酸化膜7と層間絶縁層9を除去してコンタクトホール12を形成し、図4の構造とする。全面にNi膜を形成し、コンタクトホール12が形成されている部分をマスクし、層間絶縁層9上のNi膜をエッチングにより除去して、図5の構造とする。そして、コンタクトホール12内に残されたNi膜をオーミック電極としてのソース電極層10とし、また、SiC基板1の裏面にドレイン電極層11を形成して、図2に示すトレンチゲート型SiCパワーMOSFETを完成させる。

（第2実施形態）図1に示す第1実施形態のように、SiC基板20上にNi電極22を形成した場合、Niシリサイドが形成される。このため、Ni電極22を銀ろう付けして実装する場合、Niシリサイドでは銀ろう付けすることができない。

【0020】そこで、この第2実施形態では、図6に示すように、コンタクトホール21aを介して半導体素子とオーミックコンタクトするオーミック電極を、コンタ

クトホール21a内のみ形成された第1のNi膜23(第1実施形態のNi電極22に相当)と、この第1のNi膜23と絶縁膜21上に形成されたバリアメタル24と、このバリアメタル24上に形成された第2のNi膜25からなるNi/バリアメタル/Ni構造の電極とする。このような構成にすれば、第2のNi膜25を用いて銀ろう付けすることができる。

【0021】なお、この第2実施形態のもので、絶縁膜21上に第1のNi膜23が形成されていないため、第1のNi膜23のはがれを防止することができる。

(第3実施形態)図7に本発明の第3実施形態に係る概念構成を示す。この第3実施形態においては、Ni電極26は、コンタクトホール21a内および絶縁膜21上に繋がって形成されているが、Ni電極26と絶縁膜21との間には、それらと密着性の良好な金属膜27が形成されている。このようにNi電極26および絶縁膜21と密着性の良好なCr等の金属膜27を介在させることにより、Ni電極26のはがれを防止することができる。

【0022】なお、Ni電極26および絶縁膜21と密着性の良好な金属膜27としては、Cr以外にMo、Ti、Wを用いることができる。また、上述した種々の実施形態において、絶縁膜21としてはSiO₂、以外にSi₃N₄を用いることもできる。また、第1実施形態において、Ni電極22をコンタクトホール21a内のみ形成するものを示したが、Ni電極22が絶縁膜21上に繋がって形成されたときにはがれの問題が生じるため、仮に絶縁膜21にNi電極22が形成されていても、コンタクトホール21a内のNi電極22と分断されていれば、はがれの問題は生じない。

【0023】なお、本明細書において、六方晶系の単結*

* 晶炭化珪素の面方位を表す場合、本来ならば所要の数字の上にバーを付した表現をとるべきであるが、表現手段に制約があるため、所要の数字の上にバーを付す表現の代わりに、所要数字の後ろに「-」を付して表現している。

【図面の簡単な説明】

【図1】本発明の第1実施形態を示す半導体装置の概念構成図である。

【図2】本発明の第1実施形態をトレンチゲート型SiCパワーMOSFETに適用した場合の断面図である。

【図3】図2に示すトレンチゲート型SiCパワーMOSFETの製造工程を説明するための断面図である。

【図4】図3に続く製造工程を説明するための断面図である。

【図5】図4に続く製造工程を説明するための断面図である。

【図6】本発明の第2実施形態を示す半導体装置の概念構成図である。

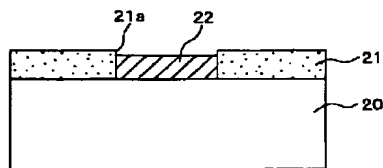
【図7】本発明の第3実施形態を示す半導体装置の概念構成図である。

【図8】従来のトレンチゲート型SiCパワーMOSFETの断面図である。

【符号の説明】

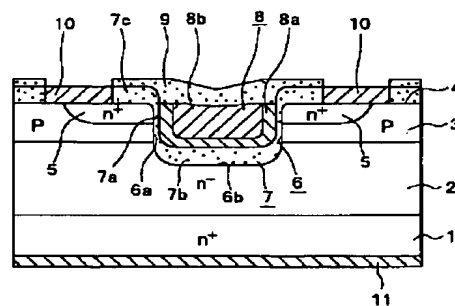
1…n⁺型単結晶SiC基板、2…n⁻型エピタキシャル層、3…p型エピタキシャル層、5…n⁺ソース領域、6…トレンチ、7…ゲート熱酸化膜、8…ゲート電極層、9…層間絶縁膜、10…ソース電極層、11…ドレイン電極層、20…SiC基板、21…絶縁膜、21a…コンタクトホール、22…Ni電極、23…第1のNi膜、24…バリアメタル、25…第2のNi膜、26…Ni電極、27…金属膜。

【図1】

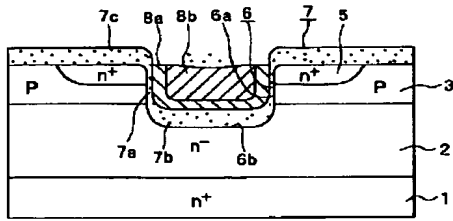


20: SiC基板
21: 絶縁膜
22: Ni電極

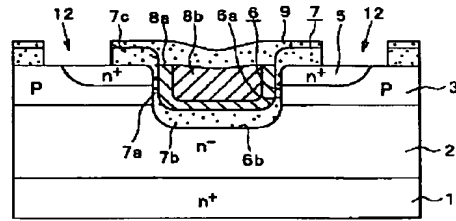
【図2】



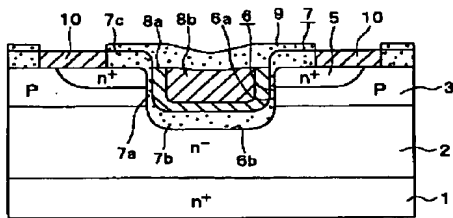
【図3】



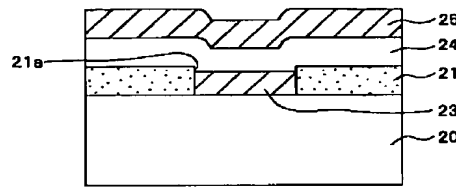
【図4】



【図5】

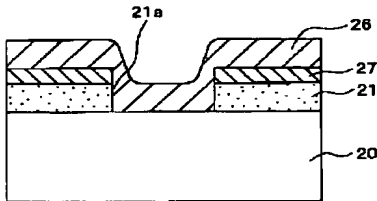


【図6】



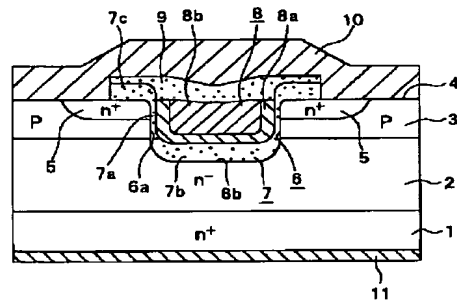
20: SiC 基板
21: SiO₂ 膜
23: 第1のNi 膜
24: パリメタル
25: 第2のNi 膜

【図7】



20: SiC 基板
21: SiO₂ 膜
26: Ni 膜
27: Au 膜

【図8】



フロントページの続き

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78

6 5 3 C